

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-099559

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

G06F 17/50

H01L 29/78

H01L 21/336

(21)Application number : 10-271429

(71)Applicant : NEC CORP

(22)Date of filing : 25.09.1998

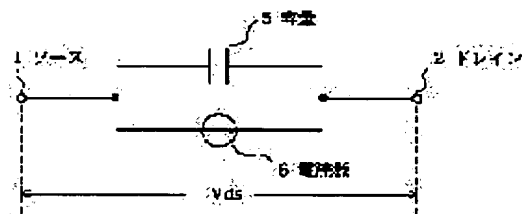
(72)Inventor : MIZUTANI HIROSHI

## (54) CIRCUIT DESIGN METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit design method for obtaining high calculation precision with less parameter in a large signal simulation.

SOLUTION: In the design method of a circuit using a field effect transistor, the field effect transistor is shown as a two terminal non-linear circuit model source constituted of the parallel connection of a current source 6, where a gate terminal is opened in a use frequency band and whose current changes dependently on voltage, and a capacitor 5 between a source and a drain. Then, element parameter in a large signal operation whose amplitude of input voltage, which is decided by the impedance of the circuit and input voltage, is large is obtained.



## LEGAL STATUS

[Date of request for examination] 25.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3068065

[Date of registration] 19.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3068065号  
(P3068065)

(45) 発行日 平成12年 7 月24日 (2000. 7. 24)

(24) 登録日 平成12年 5 月19日 (2000. 5. 19)

(51) Int.Cl.<sup>7</sup>

H 0 1 P 1/15

識別記号

F I

H 0 1 P 1/15

請求項の数 8 (全 9 頁)

(21) 出願番号 特願平10-271429

(22) 出願日 平成10年 9 月25日 (1998. 9. 25)

(65) 公開番号 特開2000-99559 (P2000-99559A)

(43) 公開日 平成12年 4 月 7 日 (2000. 4. 7)

審査請求日 平成10年 9 月25日 (1998. 9. 25)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 水谷 浩

東京都港区芝五丁目 7 番 1 号 日本電気  
株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外 3 名)

審査官 早川 学

最終頁に続く

(54) 【発明の名称】 回路設計方法

1

(57) 【特許請求の範囲】

【請求項 1】 電界効果トランジスタを用いた回路の設計方法において、

前記電界効果トランジスタをそのゲート端子が少なくとも使用周波数帯域において開放としてソースとドレインの 2 端子非線形回路モデルとして表わして、前記電界効果トランジスタを用いた回路のインピーダンスと入力電圧とで決まる入力電圧の振幅が大きな大信号動作における素子パラメータを求めることを特徴とする回路設計方法。

【請求項 2】 請求項 1 に記載の回路設計方法において、

前記 2 端子非線形回路モデルが、電圧に依存して電流が変化する電流源とソース・ドレイン間容量との並列接続からなる 2 端子非線形回路モデルであることを特徴とす

2

る回路設計方法。

【請求項 3】 請求項 1 に記載の回路設計方法において、

前記 2 端子非線形回路モデルは、ピンチオフ状態のとき、電圧に依存して電流が変化する電流源とソース・ドレイン間容量とが並列接続された回路モデルからなり、オープンチャネル状態のとき、前記電流源のみの回路モデルからなることを特徴とする回路設計方法。

10 【請求項 4】 請求項 2 または請求項 3 に記載の回路設計方法において、

前記電流源は、ソース・ドレイン間の電圧に依存して変化することを特徴とする回路設計方法。

【請求項 5】 請求項 4 に記載の回路設計方法において、

オープンチャネル状態およびピンチオフ状態の各状態に

におけるドレイン電流およびゲート電流をそれぞれ、ソース・ドレイン間電圧の範囲に応じて、ソース・ドレイン間電圧の関数または所定の関数を用いた式で表わすようにし、該式を用いて前記電流源のパラメータを求めることを特徴とする回路設計方法。

【請求項6】 請求項4に記載の回路設計方法において、ソース・ドレイン間電圧を $V_{ds}$ 、ビルトイン電圧を $\phi_B$ 、スレッショルド電圧を $V_T$ 、オープンチャネル状態のゲートバイアスを $V_{gs0}$ 、ピンチオフ状態のゲートバイアスを

$$I_{dsO} = \begin{cases} \beta(-R_{iso}I_{gO} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq -\phi_B \\ \beta(V_{gsO} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & -\phi_B \leq V_{ds} \leq 0 \\ \beta(V_{gsO} - V_T)^2 \tanh(\gamma V_{ds}), & 0 \leq V_{ds} \end{cases} \quad \text{【数1】} \quad (1)$$

【数2】

$$I_{gO} = \begin{cases} 0, & -\phi_B \leq V_{ds} \\ I_{SG} \left\{ \exp \left[ K_f (V_{gsO} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq -\phi_B \end{cases} \quad \text{.....(2)}$$

と表わし、ピンチオフ状態のときドレイン電流 $I_{dsP}$ 、ゲート電流 $I_{gP}$ をそれぞれ、

$$I_{dsP} = \begin{cases} \beta(-R_{iso}I_{gP} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq V_{gsP} - \phi_B \\ \beta(V_{gsP} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & V_{gsP} - \phi_B \leq V_{ds} \leq V_{gsP} - V_T \\ 0, & V_{gsP} - V_T \leq V_{ds} \leq V_B \\ I_{SD} \left\{ \exp \left[ K_f (V_{ds} - V_B) \right] - 1 \right\}, & V_B \leq V_{ds} \end{cases} \quad \text{.....(3)}$$

【数4】

$$I_{gP} = \begin{cases} 0, & V_{gsP} - \phi_B \leq V_{ds} \\ I_{SG} \left\{ \exp \left[ K_f (V_{gsP} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq V_{gsP} - \phi_B \end{cases} \quad \text{.....(4)}$$

と表わし、これら各式により前記電流源のパラメータを決定することを特徴とする回路設計方法。

【請求項7】 請求項2または請求項3に記載の回路設計方法において、前記ソース・ドレイン間容量は、ソース・ドレイン間の電圧に依存して変化することを特徴とする回路設計方法。

【請求項8】 請求項2または請求項3に記載の回路設計方法において、前記ソース・ドレイン間容量に関するパラメータを、前記電界効果トランジスタを用いた回路のインピーダンスと入力電圧とで決まる入力電圧の振幅が小さな小信号動作で実測した小信号パラメータに対してフィッティングすることにより独立に決定し、前記電流源に関するパラメータを、前記電界効果トランジスタの電流・電圧特性の実測値に対してフィッティングすることにより独立に決定することを特徴とする回路設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界効果トランジ

$V_{gsP}$ 、前記 $V_{ds}$ が負のときのドレイン電圧スケーリング・ファクタを $\alpha$ 、トランスコンダクタンス・パラメータを $\beta$ 、前記 $V_{ds}$ が正のときのドレイン電圧スケーリング・ファクタを $\gamma$ 、ドレイン耐圧を $V_B$ 、ドレインおよびゲートの飽和電流パラメータをそれぞれ $I_{SD}$ 、 $I_{SC}$ 、電圧スケーリング・ファクタを $K_r$ 、 $K_f$ 、ゲートアイソレーション抵抗を $R_{iso}$ とし、オープンチャネル状態のときのドレイン電流 $I_{ds0}$ 、ゲート電流 $I_{g0}$ をそれぞれ、

【数1】

$$I_{dsO} = \begin{cases} \beta(-R_{iso}I_{gO} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq -\phi_B \\ \beta(V_{gsO} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & -\phi_B \leq V_{ds} \leq 0 \\ \beta(V_{gsO} - V_T)^2 \tanh(\gamma V_{ds}), & 0 \leq V_{ds} \end{cases} \quad \text{.....(1)}$$

【数3】

スタ(FET: field effect transistor)を用いた回路の設計方法に関し、特に大信号動作におけるFET回路の設計方法に関する。

【0002】

【従来の技術】 一般に、FETを用いた回路の設計では、小信号動作および大信号動作に応じて扱う素子モデルが異なる。ここで、大信号とは、入力電圧とFETを用いた回路のインピーダンスで決まる入力電圧の振幅が大きいものをいう。例えば入力電力20dBm(=10log(100mW/1mW))であれば大信号である。これに対して、入力電圧の振幅が小さいものを小信号という。例えば入力電力-20dBm(=10log(0.01mW/1mW))であれば小信号である。

【0003】 小信号入力の場合は、入力電圧の振幅が小さく、電圧変化の範囲が非常に小さいため、FETの各パラメータを一定として取り扱うことができ、出力電流の変化は入力電圧に対して一次の関数で変化すると近似できる。このことから、小信号動作では、FETを線形回路として取り扱うことができる。

【0004】 一方、大信号入力の場合は、入力電圧の振幅が大きいので、FETの各パラメータは入力電圧依存

性を持つこととなり、出力電流の変化は入力電圧に対して一次関数として扱うことはできない。このように、大信号動作では、FETは非線形回路として取り扱うことになる。

【0005】FETは、図8(a)のようにソース1、ドレイン2、ゲート3の3端子を有する。このFETの等価回路は、例えばH.Statzらによるアイ・イー・イー・イー・トランザクション・オン・エレクトロン・デバイス、ED-34, pp.160-169, Feb. 1987に開示されているように、図9に示すような3端子の回路として表わされる。同様なモデルが、W.R.Curticeらによるアイ・イー・イー・イー・トランザクション・オン・マイクロウェーブ・セオリー・アンド・テクニクス、MTT-33, pp.1383-1394, Dec. 1985にも開示されている。

【0006】上述のように3端子構造のFETを3端子の非線形FETモデルとして表わす場合、その素子パラメータの数は、例えば以下の表1に示すH.Statzらのモデルのように32個にも上る。

【0007】

【表1】

名前	意味
$\beta$	トランスコンダクタンス・パラメータ
VTO	スレッショルド電圧
$\alpha$	飽和電流パラメータ
$\lambda$	出力コンダクタンスパラメータ
$\theta$	Statz'sのbパラメータ
$\tau$	ゲート直下の遅延時間
VBR	ゲートドレイン逆方向耐圧
IS	ゲート接合逆方向飽和電流
N	ゲート接合7つの7つのファクター
VBI	ビルトイン・ゲート電位
FC	順方向空乏層容量係数
RC	出力コンダクタンスの周波数依存性パラメータ
CRF	出力コンダクタンスの周波数依存性パラメータ
RD	ドレイン・オーミック抵抗
RG	ゲート抵抗
RS	ソース・オーミック抵抗
RIN	チャンネル抵抗
CGSO	ゼロ・バイアス・ゲート・ソース接合容量
CGDO	ゼロ・バイアス・ゲート・ドレイン接合容量
DELTA1	容量飽和遅延電圧パラメータ
DELTA2	容量スレッショルド遅延電圧パラメータ
CDS	ドレイン・ソース容量
CGS	ゲート・ソース容量
CGD	ゲート・ドレイン容量
KF	フリッカー雑音係数
AF	フリッカー雑音指数
TNOM	パラメータ抽出時の温度
KPI	飽和電流の温度指数
EG	エネルギーギャップ
VTO	VTO温度指数
BSTATCE	ドレイン電流の温度係数
FYE	フリッカー雑音周波数指数

このため、3端子非線形FETモデルを用いたFET回路で、大信号入力時の動作状態（大信号動作）を表現する場合は、32個のパラメータを何らかの方法によって決定する必要がある。そのため、従来は多くの時間と労力を費やして、それらパラメータを決定していた。

【0008】

【発明が解決しようとする課題】以上述べたように、従来のFET回路の設計においては、非線形FETモデルを3端子回路モデルとして表現するため、例えば32個という非常に多くのパラメータを決定する必要があり、設計に多くの時間と労力を費やすという問題がある。また、そのようにして決定した非線形FETモデルのパラメータ群は、実際の動作を完全に表現できる満足のいくものでない場合が多く、この問題点を回避すべく自家製の非線形FETモデルを開発している例も多い。

【0009】ところで、ゲート端子が所用周波数帯域において開放状態に見えるように設計されたゲートバイアス回路を備え、例えばゲート端子に通常十分な大きさの抵抗が接続され、DCバイアスのみを印加するようなスイッチ回路においては、所用周波数帯域においてFETを見ると、FETは2端子モデルとして扱うことができる。このようなスイッチ回路に用いるFETは、通常ドレイン・ソース間にDCバイアスを印加しないため、小さな入力信号の領域（小信号動作）での等価回路は非常に簡単なものとなる。例えば、オープンチャネル状態では、図8(b)のように単なる抵抗7として表すことができ、ピンチオフ状態では、図8(c)のように単なる容量5として表すことができる。このような小信号等価回路を簡単な抵抗7と容量5で表す設計方法は、例えばM.J.Schindlerらにより、アイ・イー・イー・イー・トランザクション・オン・マイクロウェーブ・セオリー・アンド・テクニクス、MTT-35, pp.1486-1493, Dec. 1987に開示されている。

【0010】上述のように小信号等価回路を2端子の簡単な回路（2端子モデル）として表わす設計方法では、決定すべき素子パラメータが前述の3端子モデルのように多くなることがないため、パラメータの決定に要する時間も短くて済む。しかし、同様な回路モデルを大信号動作の設計に適用して回路を設計することは、これまでになかった。

【0011】本発明は、以上の点に鑑みてなされたもので、大信号シミュレーションにおいて少ないパラメータで高い計算精度を得ることのできる回路設計方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の回路設計方法は、電界効果トランジスタを用いた回路の設計方法において、前記電界効果トランジスタをそのゲート端子が少なくとも使用周波数帯域において開放としてソースとドレイの2端子非線形回路モデルとして表わして、前記電界効果トランジスタを用いた回路のインピーダンスと入力電圧とで決まる入力電圧の振幅が大きな大信号動作における素子パラメータを求めることを特徴とする。

【0013】上記の場合、前記2端子非線形回路モデルが、電圧に依存して電流が変化する電流源とソース・ド

レイン間容量との並列接続からなる2端子非線形回路モデルであるようにしてもよい。

【0014】また、前記2端子非線形回路モデルは、ピンチオフ状態のとき、電圧に依存して電流が変化する電流源とソース・ドレイン間容量とが並列接続された回路モデルからなり、オープンチャネル状態のとき、前記電流源のみの回路モデルからなるようにしてもよい。

【0015】さらに、前記電流源は、ソース・ドレイン間の電圧に依存して変化するようにしてもよい。この場合、オープンチャネル状態およびピンチオフ状態の各状態におけるドレイン電流およびゲート電流をそれぞれ、ソース・ドレイン間電圧の範囲に応じて、ソース・ドレイン間電圧の関数または所定の関数を用いた式で表わすようにし、該式を用いて前記電流源のパラメータを求め

$$I_{dsO} = \begin{cases} \beta(-R_{iso}I_{go} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq -\phi_B \\ \beta(V_{gsO} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & -\phi_B \leq V_{ds} \leq 0 \\ \beta(V_{gsO} - V_T)^2 \tanh(\gamma V_{ds}), & 0 \leq V_{ds} \end{cases} \quad (1)$$

【0017】

$$I_{go} = \begin{cases} 0, & -\phi_B \leq V_{ds} \\ I_{sG} \left\{ \exp \left[ K_f (V_{gsO} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq -\phi_B \end{cases} \quad (2)$$

と表わし、ピンチオフ状態のときドレイン電流 $I_{dsP}$ 、ゲート電流 $I_{gp}$ をそれぞれ、

$$I_{dsP} = \begin{cases} \beta(-R_{iso}I_{gp} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq V_{gsP} - \phi_B \\ \beta(V_{gsP} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & V_{gsP} - \phi_B \leq V_{ds} \leq V_{gsP} - V_T \\ 0, & V_{gsP} - V_T \leq V_{ds} \leq V_B \\ I_{sD} \left\{ \exp \left[ K_r (V_{ds} - V_B) \right] - 1 \right\}, & V_B \leq V_{ds} \end{cases} \quad (3)$$

【0019】

$$I_{gp} = \begin{cases} 0, & V_{gsP} - \phi_B \leq V_{ds} \\ I_{sG} \left\{ \exp \left[ K_f (V_{gsP} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq V_{gsP} - \phi_B \end{cases} \quad (4)$$

と表わし、これら各式により前記電流源のパラメータを決定するようにしてもよい。

【0020】さらに、前記ソース・ドレイン間容量は、ソース・ドレイン間の電圧に依存して変化するようにしてもよい。

【0021】さらに、前記ソース・ドレイン間容量に関するパラメータを、前記電界効果トランジスタを用いた回路のインピーダンスと入力電圧とで決まる入力電圧の振幅が小さな小信号動作で実測した小信号パラメータに対してフィッティングすることにより独立に決定し、前記電流源に関するパラメータを、前記電界効果トランジスタの電流・電圧特性の実測値に対してフィッティングすることにより独立に決定するようにしてもよい。

【0022】(作用) 上記のとおりの本発明においては、従来3端子で表していた非線形FETモデルを非線形2端子回路モデルで表すことができるので、3端子モデルで32個必要であったパラメータを例えば9個に減

るようにしてもよい。また、ソース・ドレイン間電圧を $V_{ds}$ 、ビルトイン電圧を $\phi_B$ 、スレッショルド電圧を $V_T$ 、オープンチャネル状態のゲートバイアスを $V_{gsO}$ 、ピンチオフ状態のゲートバイアスを $V_{gsP}$ 、前記 $V_{ds}$ が負のときのドレイン電圧スケール・ファクタを $\alpha$ 、トランスコンダクタンス・パラメータを $\beta$ 、前記 $V_{ds}$ が正のときのドレイン電圧スケール・ファクタを $\gamma$ 、ドレイン耐圧を $V_B$ 、ドレインおよびゲートの飽和電流パラメータをそれぞれ $I_{sO}$ 、 $I_{sC}$ 、電圧スケール・ファクタを $K_r$ 、 $K_f$ 、ゲートアイソレーション抵抗を $R_{iso}$ とし、オープンチャネル状態のときのドレイン電流 $I_{dsO}$ 、ゲート電流 $I_{go}$ をそれぞれ、

【0016】

【数5】

$$I_{dsO} = \begin{cases} \beta(-R_{iso}I_{go} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq -\phi_B \\ \beta(V_{gsO} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & -\phi_B \leq V_{ds} \leq 0 \\ \beta(V_{gsO} - V_T)^2 \tanh(\gamma V_{ds}), & 0 \leq V_{ds} \end{cases} \quad (1)$$

【数6】

$$I_{go} = \begin{cases} 0, & -\phi_B \leq V_{ds} \\ I_{sG} \left\{ \exp \left[ K_f (V_{gsO} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq -\phi_B \end{cases} \quad (2)$$

【0018】

【数7】

$$I_{dsP} = \begin{cases} \beta(-R_{iso}I_{gp} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq V_{gsP} - \phi_B \\ \beta(V_{gsP} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & V_{gsP} - \phi_B \leq V_{ds} \leq V_{gsP} - V_T \\ 0, & V_{gsP} - V_T \leq V_{ds} \leq V_B \\ I_{sD} \left\{ \exp \left[ K_r (V_{ds} - V_B) \right] - 1 \right\}, & V_B \leq V_{ds} \end{cases} \quad (3)$$

【数8】

$$I_{gp} = \begin{cases} 0, & V_{gsP} - \phi_B \leq V_{ds} \\ I_{sG} \left\{ \exp \left[ K_f (V_{gsP} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq V_{gsP} - \phi_B \end{cases} \quad (4)$$

らすことができる。これらパラメータの1つである容量値は、実測した小信号パラメータ（あるいはスイッチなどの試作結果）を用いることにより、ほぼ一義的に決定できる。残りのパラメータ8個は電流源のパラメータで、これは容量値とは独立にFETの電流電圧特性にフィッティングすることによって決定することができる。このことから、本発明においては、パラメータの決定が従来の3端子FETモデルを用いていたときに比べてより簡易となり、例えば大信号シミュレーションにおいて9個という少ないパラメータにもかかわらず高い計算精度を得ることが可能となる。

【0023】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0024】本発明の回路設計方法においては、電界効果トランジスタのゲート端子が少なくとも使用周波数帯域において開放に見えるような構成として、該電界効果

トランジスタをソースとドレインの2端子非線形回路モデルとして表わし、この2端子非線形回路モデルの大信号動作における素子パラメータを求めるようになっている。これにより、少ないパラメータで高い計算精度を得ることが可能になっている。以下、具体的な実施形態を説明する。

【0025】（第一の実施形態）図1に、本発明の第1の実施形態の回路設計方法に用いる2端子非線形FETモデルを示す。この2端子非線形FETモデルは、ゲートバイアス回路によって所定の周波数帯域においてゲート端子が開放に見えるようにゲート3にアイソレーション抵抗4を付加したFETの等価回路であって、ソース

$$I_{dsO} = \begin{cases} \beta(-R_{iso}I_{gO} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq -\phi_B \\ \beta(V_{gsO} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & -\phi_B \leq V_{ds} \leq 0 \\ \beta(V_{gsO} - V_T)^2 \tanh(\gamma V_{ds}), & 0 \leq V_{ds} \end{cases} \quad \dots\dots\dots(1)$$

【0028】

$$I_{gO} = \begin{cases} 0, & -\phi_B \leq V_{ds} \\ I_{SG} \left\{ \exp \left[ K_f (V_{gsO} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq -\phi_B \end{cases} \quad \dots\dots\dots(2)$$

と表わすことができ、FETがピンチオフ状態のときドレイン電流 $I_{dsP}$ 、ゲート電流 $I_{gP}$ はそれぞれ、

$$I_{dsP} = \begin{cases} \beta(-R_{iso}I_{gP} + \phi_B - V_T)^2 \tanh(\alpha V_{ds}), & V_{ds} \leq V_{gsP} - \phi_B \\ \beta(V_{gsP} - V_{ds} - V_T)^2 \tanh(\alpha V_{ds}), & V_{gsP} - \phi_B \leq V_{ds} \leq V_{gsP} - V_T \\ 0, & V_{gsP} - V_T \leq V_{ds} \leq V_B \\ I_{SD} \left\{ \exp \left[ K_r (V_{ds} - V_B) \right] - 1 \right\}, & V_B \leq V_{ds} \end{cases} \quad \dots\dots\dots(3)$$

【0030】

$$I_{gP} = \begin{cases} 0, & V_{gsP} - \phi_B \leq V_{ds} \\ I_{SG} \left\{ \exp \left[ K_f (V_{gsP} - V_{ds} - \phi_B) \right] - 1 \right\}, & V_{ds} \leq V_{gsP} - \phi_B \end{cases} \quad \dots\dots\dots(4)$$

と表わすことができる。ここで、 $\phi_B$ はビルトイン電圧、 $V_T$ はスレッシュヨルド電圧、 $V_{gsO}$ はオープンチャネル状態のゲートバイアス、 $V_{gsP}$ はピンチオフ状態のゲートバイアス、 $\alpha$ は $V_{ds}$ が負のときのドレイン電圧スケール・ファクタ、 $\beta$ はトランスコンダクタンス・パラメータ、 $\gamma$ は $V_{ds}$ が正のときのドレイン電圧スケール・ファクタ、 $V_B$ はドレイン耐圧、 $I_{SO}$ 、 $I_{SD}$ はそれぞれドレインおよびゲートの飽和電流パラメータ、 $K_r$ 、 $K_f$ はともに電圧スケール・ファクタ、 $R_{iso}$ はゲートアイソレーション抵抗である。ここでは、 $V_{ds}$ に関する双曲線関数を用いて表わした例について説明したが、その他の関数、例えば $V_{ds}$ に関する三次曲線関数あるいは高次の多項式関数などを用いて表わすようにしてもよい。

【0031】次に、この2端子非線形FETモデルを用いた回路の素子パラメータの決定方法について説明する。ここでは、図1に示した2端子非線形FETモデルをもとに、ゲート長が0.15 $\mu$ m、ゲート幅が100 $\mu$ mのAlGaAs系ヘテロ接合FETを用いた場合の、素子パラメータの決定方法を説明する。

・ドレイン間容量5と電流源（電圧に依存して電流が変化する素子）6の並列接続からなる2端子回路モデルで表わされる。

【0026】この2端子非線形FETモデルでは、電流源は、ドレイン電流 $I_{ds}$ をソース・ドレイン間電圧 $V_{ds}$ の関数として表すと、双曲線関数を用いて下記の式(1)～(4)のように表わすことができる。すなわち、FETがオープンチャネル状態のときのドレイン電流 $I_{dsO}$ 、ゲート電流 $I_{gO}$ はそれぞれ、

【0027】

【数9】

【数10】

$$-\phi_B \leq V_{ds} \quad \dots\dots\dots(2)$$

【0029】

【数11】

$$V_{gsP} - \phi_B \leq V_{ds} \leq V_{gsP} - V_T \quad \dots\dots\dots(3)$$

【数12】

$$V_{ds} \leq V_{gsP} - \phi_B \quad \dots\dots\dots(4)$$

【0032】本形態では、FETの容量および電流源のパラメータはそれぞれ独立に決定される。

【0033】(1) FETの容量

FETの容量を決定する場合は、図8(a)に示したFETのソースおよびドレインをネットワークアナライザの入出力端子に接続して、小信号Sパラメータを測定する。図2に、ネットワークアナライザを用いた小信号Sパラメータの測定の概要図を示す。

【0034】図2に示す測定回路では、ネットワークアナライザには信号源10および該信号源10のインピーダンス $Z_S$ 、負荷 $Z_L$ があり、そこから入力電力 $|a_1|^2$ 、 $|a_2|^2$ が評価サンプル11に入射する。ここで、 $a_1$ 、 $a_2$ はそれぞれ入射波の規格化電圧振幅であって、例えば正弦波である。小信号Sパラメータの測定における信号レベルは、例えば-20dBmで、これは前述した小信号にあたる。

【0035】入射電圧と反射電圧の間は、

$$\begin{aligned} b_1 &= S_{11} a_1 + S_{12} a_2 \\ b_2 &= S_{21} a_1 + S_{22} a_2 \end{aligned}$$

という式で関係づけられ、このときの $S_{rf}$ を「散乱 (Scattering) パラメータ (通称、Sパラメータ)」と呼ぶ。ネットワークアナライザの負荷を $Z_L=Z_0$ としたとき、 $b_2$ は負荷に吸収され、負荷からの反射は $a_2=0$ となる。このとき、

$$S_{11}=b_1/a_1$$

$$S_{21}=b_2/a_1$$

が得られる。一方、信号源10のインピーダンスを $Z_s=Z_0$ としたとき、 $b_1$ は信号源10に吸収され、負荷からの反射は $a_1=0$ となる。このとき、

$$S_{22}=b_2/a_2$$

$$S_{12}=b_1/a_2$$

が得られる。以上のようにして、ネットワークアナライザを用いて小信号Sパラメータを測定することができる。

【0036】上述のネットワークアナライザを用いた小信号Sパラメータの測定を、FETがオープンチャネル状態のときはゲートバイアスを0Vとし、ピンチオフ状態のときにはゲートバイアスに-5Vを印加して行う。なお、ピンチオフ状態のときのゲートバイアスは-5Vに限定されるものではなく、ピンチオフ電圧より低い値で、ゲート耐圧より高い値であればいくらかでも良い。

【0037】測定したFETの小信号Sパラメータのうち $S_{11}$ あるいは $S_{21}$ に関して、図8(c)の回路を用いて容量5をパラメータに計算した値と実測値が一致するように容量5の値を決める。このようにして、FETの容量を決定する。なお、FETの容量は過去の試作結果から抽出した経験値を用いても良い。

【0038】(2) 電流源のパラメータ

電流源のパラメータを決定する場合は、図8(a)に示したFETのドレイン電流 $I_{ds}$ を、ゲート・ソース間電圧 $V_{gs}$ およびドレイン・ソース間電圧 $V_{ds}$ をパラメータとして、FETの静特性( $I_{ds}$ - $V_{ds}$ 、 $I_{ds}$ - $V_{gs}$ などの電流電圧特性)を周知の半導体パラメータアナライザを用いて測定する。ここでは、FETをソース接地とし、ドレイン電圧を-10Vから15Vまで印加する。ドレイン電圧は $V_{gs}-V_t$ より小さな値から、 $V_b$ より大きな値まで測定する。なお、FETはドレイン接地でもよく、この場合は、前出の式(1)~(4)の添字sとdを互いに読み替える必要がある。

【0039】半導体パラメータアナライザを用いて測定したFETの $I_{ds}$ - $V_{ds}$ 特性および $I_{ds}$ - $V_{gs}$ 特性に関して、図1の等価回路を用いて、電流源6を表す前出の式(1)~(4)を用いて計算した値と実測値が一致するように、電流源6のパラメータの値を決める。図3に、 $I_{ds}$ - $V_{ds}$ 特性の実測値(実線)とパラメータ決定後の計算値(破線)を示す。

【0040】図3から分かるように、電流源6を表す前出の式(1)~(4)は実測値と非常によく一致を示しており、これは前出の式(1)~(4)の妥当性を示し

ている。このように決定した2端子非線形FETパラメータの一覧を以下の表2に示す。ここで、容量Cは20fFである。

【0041】

【表2】

$\phi_n$	0.31 V
$\alpha$	2.0 V <sup>-1</sup>
$\beta$	0.02 A/V <sup>2</sup>
$\gamma$	1.5 V <sup>-1</sup>
$\kappa_t$	0.01 V <sup>-1</sup>
$\kappa_s$	1.0 V <sup>-1</sup>
$V_T$	-1.5 V
$R_{ds}$	100 k $\Omega$
$I_{sg}$	0.00007 A
$I_{sp}$	0.1 A
$V_B$	7.3 V
$V_{gs0}$	0 V
$V_{gsP}$	-5.0 V

なお、本実施形態において、2端子非線形FETモデルとして、図4に示したような電圧依存容量8と電流源6の並列回路からなる等価回路を用いても構わない。

【0042】(第2の実施形態) 本実施形態の回路設計方法に用いる2端子非線形FETモデルは、FETがオープンチャネル状態のときは、図5(a)に示すように2端子の電流源6で表わされ、FETがピンチオフ状態のときは、図5(b)に示すように容量5と電流源6からなる2端子の並列回路で表わされる。この2端子非線形FETパラメータも、上述した第1の実施形態の方法の場合と同様に決定する。ここで求める電流源および容量の値は、第1の実施形態の場合と同じ値である。

【0043】以下、図6(a)に示すスイッチ回路を例にとり、そのスイッチ回路のオン状態、オフ状態の各状態における等価回路について説明する。

【0044】図6(a)に示すスイッチ回路は、ソースが入出力端子10aに接続され、ゲートがアイソレーション抵抗14aを介して端子13a(ゲートコントロール電圧が印加される。)に接続されたFET11のドレインと、ソースが接地され、ゲートがアイソレーション抵抗14bを介して端子13b(ゲートコントロール電圧が印加される。)に接続されたFET12のドレインとが共通に入出力端子10bに接続されたスイッチ回路である。FET11、12は、ゲート長が0.15 $\mu$ m、ゲート幅が100 $\mu$ mのAlGaAs系ヘテロ接合FETである。

【0045】スイッチ回路がオン状態における等価回路は、図6(b)に示すようになる。すなわち、入出力端子10a、10bの間に、オープンチャネル状態のFET



T11の等価回路である2端子の電流源21を直列に接続し、さらにピンチオフ状態のFET12の等価回路である容量と電流源からなる2端子の並列回路22を並列に接続した回路となる。図6(b)において、寄生容量17および寄生容量18は、試作したマイクロ波単一集積回路(MMIC)において考慮すべきソース電極およびドレイン電極に起因する寄生容量を示す。

【0046】他方、スイッチ回路がオフ状態における等価回路は、図6(c)に示すようになる。すなわち、オン状態のときにおけるオープンチャネル状態のFETの等価回路である2端子の電流源21とピンチオフ状態のFETの等価回路である2端子の並列回路22が入れ替わった回路となる。

【0047】上述の図6(b)、(c)に示した回路を用いて、周知のハーモニックバランス法を用いた電力入出力特性をシミュレーションすると、40GHzにおいて図7の破線のような結果を得られる。図7中、実線は試作したMMICを実測した電力透過特性である。この実測値とシミュレーション結果は非常に一致を示し、このことから、本実施形態の2端子非線形FETモデルを用いる回路設計法の正当性が示される。

【0048】

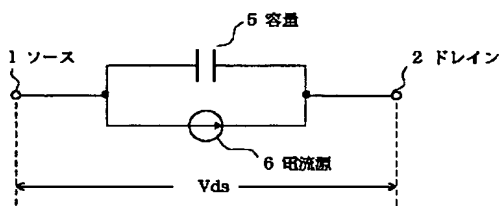
【発明の効果】以上説明したように、本発明によれば、FETが2端子モデルとして表現されるので、パラメータ数を少なくすることができるとともにその決定も簡易となり、パラメータの計算精度が向上するという効果がある。

【図面の簡単な説明】

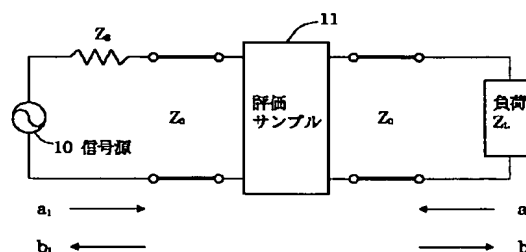
【図1】本発明の第1の実施形態の回路設計方法に用いられる2端子非線形FETモデルを示す等価回路図である。

【図2】ネットワークアナライザを用いた小信号Sパラメータの測定の概要図である。

【図1】



【図2】



【図3】図1に示す電流源の電流電圧特性図である。

【図4】本発明の第1の実施形態の回路設計方法に適用可能な他の2端子非線形FETモデルの等価回路図である。

【図5】本発明の第2の実施形態の回路設計方法に用いる2端子非線形FETモデルを説明するための図で、

(a)はオープンチャネル状態での2端子FETモデルの等価回路図、(b)はピンチオフ状態での2端子FETモデルの等価回路図である。

【図6】本発明の第2の実施形態の回路設計方法を適用した2端子非線形FETモデルの一例で、(a)はFETを用いたスイッチ回路の一例を示す回路図、(b)はオープンチャネル状態のFETの等価回路図、(c)はピンチオフ状態のFETの等価回路図である。

【図7】図6(b)、(c)に示す回路を用いた場合の電力透過特性図である。

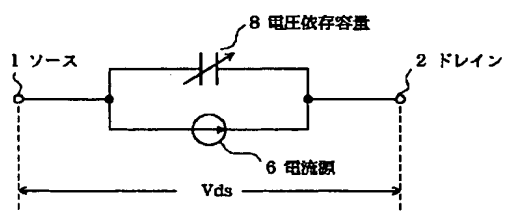
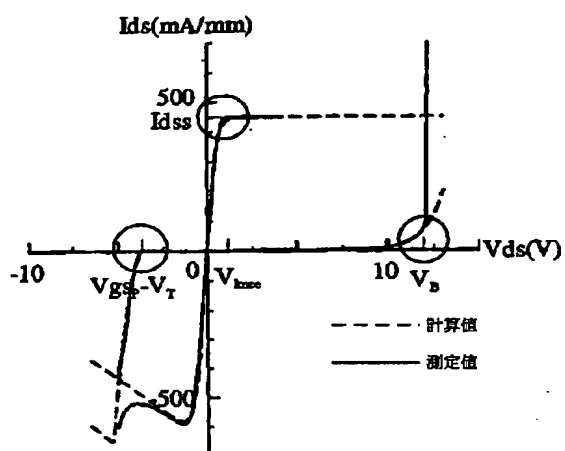
【図8】小信号動作における2端子FETモデルを説明するための図で、(a)はFETの等価回路図、(b)はオープンチャネル状態での2端子FETモデルの等価回路図、(c)はピンチオフ状態での2端子FETモデルの等価回路図である。

【図9】3端子非線形FETモデルの等価回路図である。

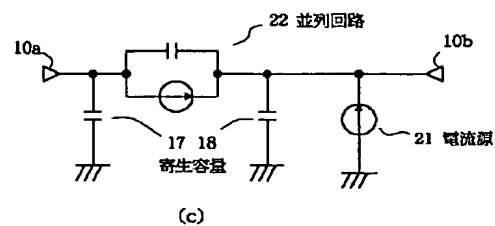
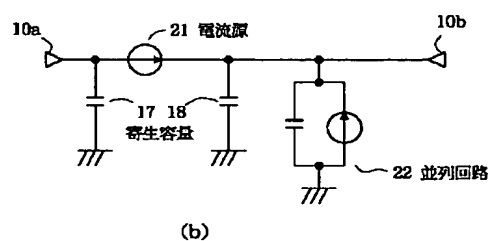
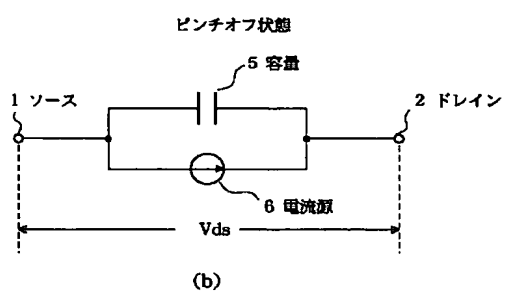
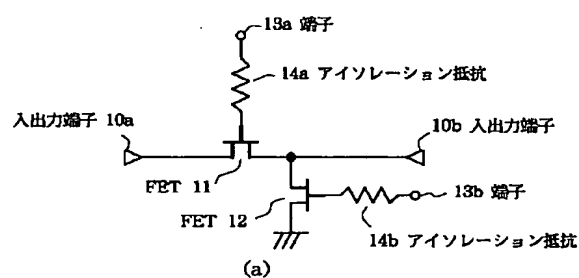
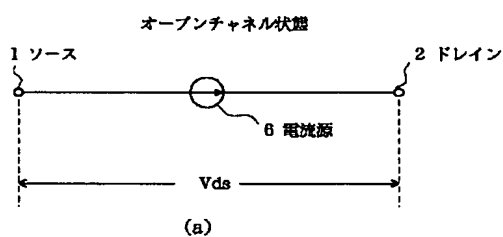
【符号の説明】

- 1 ソース
- 2 ドレイン
- 3 ゲート
- 4 アイソレーション抵抗
- 5 容量
- 6 電流源
- 7 抵抗
- 8 電圧依存容量

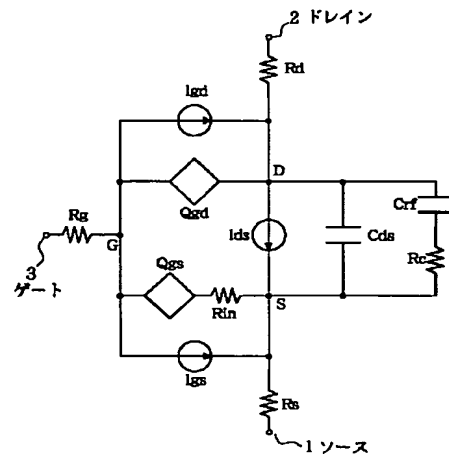
【図4】



【図 6】



【図 9】



(58) 調査した分野(Int.C1.<sup>7</sup>, D B名)

H01P 1/15

G06F 17/50

J I C S Tファイル (J O I S)